

IMAGE INTERPORATION PROCESSOR AND IMAGE INTERPOLATION PROCESSING METHOD

Patent Number: JP2001229372
Publication date: 2001-08-24
Inventor(s): OTA AKIHIRO
Applicant(s): SONY CORP
Requested Patent: ☐ JP2001229372
Application Number: JP20000039955 20000217
Priority Number(s):
IPC Classification: G06T3/40
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To accurately reduce or magnify an image size even in a scale factor that cannot be indicated by a memory controller of a number-of-pixels converter which uses a DSP.
SOLUTION: An arithmetic means 13 is used for changing an image size by thinning and/or interpolating the image data by means of a memory 2 together with an instruction means 14 which can instruct the means 13 and then memory 2 for changing the image size in plural prescribed factors and a control means 11 which makes the means 14 indicate a change of the image size in the first one of those factors, makes the means 13 change the image size in the first factor about the image data which are inputted from the outside, makes the means 14 instruct a change of the image size in the second factor and then makes the means 13 change the image size in the second factor about the image data having the size that is changed in the first factor, respectively.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-229372

(P2001-229372A)

(43) 公開日 平成13年8月24日 (2001.8.24)

(51) Int.Cl.⁷

G 0 6 T 3/40

識別記号

F I

G 0 6 F 15/66

メモコード* (参考)

3 5 5 C 5 B 0 5 7

審査請求 未請求 請求項の数 6 O L (全 17 頁)

(21) 出願番号 特願2000-39955 (P2000-39955)

(22) 出願日 平成12年2月17日 (2000.2.17)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 太田 章浩

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100080883

弁理士 松隈 秀盛

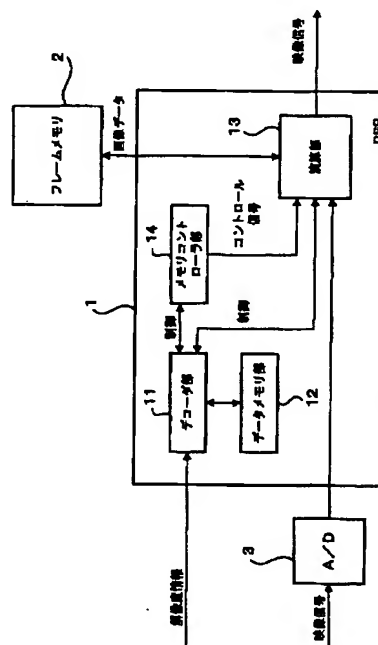
Fターム (参考) 5B057 BA29 CD06 CD10 CH01 CH11

(54) 【発明の名称】 画像補間処理装置及び画像補間処理方法

(57) 【要約】

【課題】 メモリコントローラを搭載したDSPを利用した画素数変換装置において、そのメモリコントローラでは指示することのできない比率でも正確に画像サイズを縮小または拡大する。

【解決手段】 メモリ2を用いて画像データの間引き及び/または補間を行うことにより画像サイズを変更する演算手段13と、所定の複数通りの比率での画像サイズの変更を演算手段13及びメモリ2に指示可能な指示手段14と、外部から入力された画像データについて、この複数通りの比率のうちの第1の比率での画像サイズの変更を指示手段14に指示させて、その第1の比率での画像サイズの変更を演算手段13に行わせ、その第1の比率で画像サイズを変更された画像データについて、この複数通りの比率のうちの第2の比率での画像サイズの変更を指示手段14に指示させて、その第2の比率での画像サイズの変更を演算手段13に行わせる制御手段11とを備えた。



本発明によるコンピュータ用の画像変換装置の例

【特許請求の範囲】

【請求項 1】 メモリを用いて画像データの間引き及び／または補間を行うことにより画像サイズを変更する演算手段と、

所定の複数通りの比率での画像サイズの変更を前記演算手段及び前記メモリに指示可能な指示手段と、

外部から入力された画像データについて、前記所定の複数通りの比率のうちのいずれかの第 1 の比率での画像サイズの変更を前記指示手段に指示させて、該第 1 の比率での画像サイズの変更を前記演算手段に行わせ、該第 1 の比率で画像サイズを変更された画像データについて、前記所定の複数通りの比率のうちのいずれかの第 2 の比率での画像サイズの変更を前記指示手段に指示させて、該第 2 の比率での画像サイズの変更を前記演算手段に行わせる制御手段とを備えたことを特徴とする画像補間処理装置。

【請求項 2】 請求項 1 に記載の画像補間処理装置において、

前記指示手段で指示可能な比率同士を乗算した比率のうちの任意の比率を選択する操作を行うための操作手段をさらに備えており、

前記制御手段は、前記第 1 の比率及び前記第 2 の比率として、該第 1 の比率と該第 2 の比率とを乗算した比率が前記操作手段で選択された比率と一致するような比率をそれぞれ用いることを特徴とする画像補間処理装置。

【請求項 3】 請求項 1 に記載の画像補間処理装置において、

任意の比率を選択する操作を行うための操作手段をさらに備えており、

前記制御手段は、前記第 1 の比率及び前記第 2 の比率として、該第 1 の比率と該第 2 の比率とを乗算した比率と前記操作手段で選択された比率との差が最小になるような比率をそれぞれ用いることを特徴とする画像補間処理装置。

【請求項 4】 メモリを用いて画像データの間引き及び／または補間を行うことにより画像サイズを変更する演算手段と、

所定の複数通りの比率での画像サイズの変更を前記演算手段及び前記メモリに指示可能な指示手段とを備えた画像補間処理装置における画像補間処理方法において、

外部から入力された画像データについて、前記所定の複数通りの比率のうちのいずれかの第 1 の比率での画像サイズの変更を前記指示手段に指示させる第 1 ステップと、

前記第 1 の比率での画像サイズの変更を前記演算手段に行わせる第 2 ステップと、

前記第 2 ステップで画像サイズを変更された画像データについて、前記所定の複数通りの比率のうちのいずれかの第 2 の比率での画像サイズの変更を前記指示手段に指示させる第 3 ステップと、

前記第 2 の比率での画像サイズの変更を前記演算手段に行わせる第 4 ステップとを含むことを特徴とする画像補間処理方法。

【請求項 5】 請求項 4 に記載の画像補間処理方法において、

前記画像補間処理装置は、前記指示手段で指示可能な比率同士を乗算した比率のうちの任意の比率を選択する操作を行うための操作手段をさらに備えており、

前記第 1 の比率及び前記第 2 の比率として、該第 1 の比率と該第 2 の比率とを乗算した比率が前記操作手段で選択された比率と一致するような比率をそれぞれ用いることを特徴とする画像補間処理方法。

【請求項 6】 請求項 4 に記載の画像補間処理方法において、

前記画像補間処理装置は、任意の比率を選択する操作を行うための操作手段をさらに備えており、

前記第 1 の比率及び前記第 2 の比率として、該第 1 の比率と該第 2 の比率とを乗算した比率と前記操作手段で選択された比率との差が最小になるような比率をそれぞれ用いることを特徴とする画像補間処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばメモリコントローラを搭載した DSP による画像補間処理に関する。

【0002】

【従来の技術】近年、コンピュータ用の画像表示フォーマットとしては、高精細な画像を表示できるようにするために、より高解像度のものが次々と発表されている。

例えば、IBM 社からは、VGA (Video Graphics Array) (横 640 ドット×縦 480 ドット) や、SVGA (Super VGA) (横 800 ドット×縦 600 ドット) や、XGA (eXtended Graphics Array) (横 1024 ドット×縦 768 ドット) や、SXGA (Super XGA) (横 1280 ドット×縦 1024 ドット) や、UXGA (Ultra XGA) (横 1600 ドット×縦 1200 ドット) といったような様々な解像度の画像表示フォーマットが発表されている。

【0003】コンピュータのモニターとして用いられる液晶ディスプレイやプラズマディスプレイや DMD (Digital Micromirror Device) は、それぞれ画素数を特定の画像表示フォーマットに合わせて製造される。また、コンピュータのモニターとして用いられる CRT (ブラウン管) も、水平・垂直方向のドット表示能力を特定の画像表示フォーマットに合わせて製造される。したがって、現在普及しているコンピュータのモニターには、どの画像表示フォーマットに合わせたかによって、様々な画素数やドット表示能力のものが存在している。

【0004】なお、CRT のドット表示能力も「画素数」の語を用いて表現されることが少なくないので、以

下では、「画素数」の語を、CRTのドット表示能力を含む意味で用いることにする。

【0005】或るコンピュータのモニターに、そのモニターの画素数に合う画像表示フォーマットの映像信号が入力された場合には、そのままそのモニターで画像を表示することができる。しかし、コンピュータ用の画像表示フォーマットが多様になっていることから、コンピュータのモニターにはそのモニターの画素数に合わない解像度の映像信号が入力される場合が多く、その場合にもそのモニターに画像を表示できるようにしなければならない。そのためには、コンピュータのモニターに入力された映像信号を、そのモニターの画素数に合うような解像度の映像信号にリアルタイムに変換することが必要であり、この変換のことを「画素数変換」と呼んでいる。

【0006】以前は、この画素数変換を行うために、画素数変換のための演算処理を行う専用のLSIを設計・製作するのが一般的であった。図14は、こうした専用のLSIを用いた画素数変換装置の構成例を示す。モニターを接続したコンピュータ（図示略）からこの画素数変換装置に供給されるアナログ映像信号が、A/D変換器101でデジタル変換されて、専用のLSIであるLSI102に入力される。また、この入力映像信号の解像度の情報と、LSI102から出力すべき映像信号の解像度（モニターの画素数に合う解像度）の情報とが、そのコンピュータのCPUからメモリコントローラ103に与えられる。

【0007】メモリコントローラ103は、これらの情報に基づき、モニターの画素数に合う解像度と入力映像信号の解像度との比率分だけ画面の横・縦方向に画像サイズを変更する（縮小または拡大する）ことを指示するコントロール信号を、LSI102及びフレームメモリ104に送るデバイスである。

【0008】すなわち、モニターの画素数に合う解像度を横 $p \times 1$ ドット×縦 $p \times 1$ ドットとし、入力映像信号の解像度を横 $p \times 2$ ドット×縦 $p \times 2$ ドットとすると、モニターの画素数に合う解像度のほうが低い場合（ $p \times 1 < p \times 2$ 、 $p \times 1 < p \times 2$ の場合）には、メモリコントローラ103から、画面の横方向に $p \times 1 / p \times 2$ の比率で画像サイズを縮小するとともに画面の縦方向に $p \times 1 / p \times 2$ の比率で画像サイズを縮小することを指示するコントロール信号が、LSI102及びフレームメモリ104に送られる。

【0009】他方、モニターの画素数に合う解像度のほうが高い場合（ $p \times 1 > p \times 2$ 、 $p \times 1 > p \times 2$ の場合）には、メモリコントローラ103から、画面の横方向に $p \times 1 / p \times 2$ の比率で画像サイズを拡大するとともに画面の縦方向に $p \times 1 / p \times 2$ の比率で画像サイズを拡大することを指示するコントロール信号がLSI102及びフレームメモリ104に送られる。

【0010】LSI102は、このコントロール信号に

基づき、フレームメモリ104を用いて画像データを間引きまたは補間することにより画像サイズを縮小または拡大する。

【0011】図15は、同図Aのように「A」の文字を画面に表示させる映像信号を例にとって、モニターの画素数のほうが少ない場合（画像サイズを縮小すべき場合）のLSI102による処理を示すものである。映像信号がLSI102に入力されると、LSI102により、その画像データに対して、縮小後の画像の輪郭を滑らかにするための補間演算処理が最初に行われる。

【0012】続いて、LSI102により、同図Bのように、画面の横方向の画像データを（ $p \times 2 - p \times 1$ ）／ $p \times 2$ のドット数の割合で別のデータ（一例として全黒のデータb11とする）に置き換えるとともに画面の縦方向の画像データを（ $p \times 2 - p \times 1$ ）／ $p \times 2$ のドット数の割合で全黒のデータb12に置き換える処理が行われる。

【0013】そして、LSI102からフレームメモリ104にこの画像データが送られ、同図Cのように、この画像データが全黒のデータb11及びb12の部分を間引いてフレームメモリ104に書き込まれる。

【0014】続いて、フレームメモリ104から画像データ（すなわち画面の横方向、縦方向にそれぞれ $p \times 1 / p \times 2$ 、 $p \times 1 / p \times 2$ の比率で画像サイズを縮小した画像データ）が読み出されてLSI102に送られ、この画像データがLSI102から出力されてモニターの駆動回路（図示略）に送られる。このように、メモリコントローラ103からのコントロール信号に基づいて画像サイズを縮小することによって画素数変換が行われる。

【0015】他方、図16は、同じく「A」の文字を画面に表示させる映像信号を例にとって、モニターの画素数のほうが多い場合（画像サイズを拡大すべき場合）のLSI102による処理を示すものである。映像信号がLSI102に入力されると、LSI102からその画像データがそのままフレームメモリ104に送られ、その画像データがフレームメモリ104にそのまま書き込まれる。

【0016】続いて、フレームメモリ104から、同図Bのように、画面の横方向に $p \times 2$ ドットの画像データに対して（ $p \times 1 - p \times 2$ ）ドットの割合でダミーのデータ（例えば全黒のデータb13）を挿入するとともに画面の縦方向に $p \times 2$ ドットの画像データに対して（ $p \times 1 - p \times 2$ ）ドットの割合でダミーのデータ（例えば全黒のデータb14）を挿入した状態で画像データが読み出されて、このダミーのデータb13及びb14を挿入した画像データがLSI102に送られる。

【0017】そして、LSI102により、同図Cのように、このダミーのデータb13及びb14の部分を画像データで補間する補間演算処理が行われ、この補間演

算処理を終えた画像データ（すなわち画面の横方向、縦方向にそれぞれ $p \times 1 / p \times 2$ 、 $p \times 1 / p \times 2$ の比率で画像サイズを拡大した画像データ）がLSI102から出力されてモニターの駆動回路に送られる。このように、メモリコントローラ103からのコントロール信号で指示された比率分だけ画像サイズを拡大することによって画素数変換が行われる。

【0018】ところで、最近では、既製のプログラマブルなDSP（Digital Signal Processor）にも演算処理能力の優れたものが登場してきており、図14のLSI102のような画素数変換のための演算処理を行う専用のLSIを設計・製作する代わりに、こうしたDSPに画素数変換のための演算処理をプログラミングして画素数変換を行うことも次第に増えてきている。

【0019】そして、こうしたDSPとしては、集積技術の向上を背景として、本来の演算処理のための回路だけでなく、図14のメモリコントローラ103やフレームメモリ104のようなメモリコントローラやフレームメモリをも搭載したものが登場している。例えばテキサスインスツルメンツ社製のDSPであるAMDP（Advanced Multi-media Display Processor）は、メモリコントローラを搭載している。

【0020】図17は、AMDPのようなメモリコントローラを搭載したDSPを利用した画素数変換装置の従来の構成例を示す。モニターを接続したコンピュータ（図示略）からこの画素数変換装置に供給されるアナログ映像信号が、A/D変換器201でデジタル変換されて、DSP202に入力される。また、この入力映像信号の解像度の情報と、DSP202から出力すべき映像信号の解像度（モニターの画素数に合う解像度）の情報とが、そのコンピュータのCPUからDSP202に与えられる。

【0021】DSP202は、図示は省略するが、プログラムに基づいて全体を制御するデコーダ部と、データメモリ部と、演算部と、メモリコントローラ部とを含んでいる。デコーダ部には、画素数変換のための処理がプログラミングされている。

【0022】DSP202は、このCPUから与えられる解像度の情報に基づき、図14のメモリコントローラ103と同様にしてメモリコントローラ部から演算部及びフレームメモリ203にコントロール信号を送るとともに、図14のLSI102と同様にしてフレームメモリ203を用いて演算部で画像データを間引きまたは補間することにより、このコントロール信号で指示した比率分だけ画像サイズを拡大または縮小する。

【0023】このようなメモリコントローラ等を搭載したDSPを利用して画素数変換装置を構成すれば、専用のLSIを設計・製作する手間を省くことができるとともに、DSPとは別にメモリコントローラ等を設ける必要がないので画素数変換装置のデバイス数を削減するこ

とができる。

【0024】

【発明が解決しようとする課題】しかし、メモリコントローラ等を搭載したDSPを利用した従来のコンピュータモニター用の画素数変換装置には、次のような不都合があった。

【0025】画素数変換を正確に行うためには、メモリコントローラが、モニターの画素数に合う解像度と入力映像信号の解像度との比率と正確に一致させて画面の横・縦方向に画像サイズを変更することを指示しなければならない。

【0026】しかし、メモリコントローラ等を搭載したDSPは、様々な機能を1つのデバイスに盛り込めるようにするために、メモリコントローラ部の機能が単純なものに限定されている（メモリコントローラ部で指示可能な画像サイズの変更の比率のバリエーションが少ない）のが一般である。

【0027】前述のテキサスインスツルメンツ社製のAMDPを例にとってメモリコントローラ部の機能を説明すると、次の通りである。AMDPのメモリコントローラ部は、AMDPの演算部及びフレームメモリに送るコントロール信号として、画面の横方向については最大16クロック分の周期で同じパターンの波形を繰り返す信号を出力し、画面の縦方向についても最大16水平周期分の周期で同じパターンの波形を繰り返す信号を出力する。

【0028】このコントロール信号の波形パターンのバリエーションは、図18Aに示すものと、図18Aの波形のハイとロウを反転させたものとの、合計40通り余りである。メモリコントローラ部はこのコントロール信号の波形パターンによって画像サイズの拡大や縮小を指示する。図18Bは、図18Aの波形パターンによって指示される画像サイズの縮小の比率を示し、図18Cは、それらを反転させた波形パターンで指示される画像サイズの縮小の比率を示す。

【0029】AMDPのメモリコントローラ部で指示可能な画像サイズの縮小の比率は、この図18BやCの比率だけであり、これらの比率以外の比率で画像サイズの縮小を指示することはできない。例えばモニターの画面横方向の画素数 $p \times 1$ と入力映像信号の画面横方向の解像度 $p \times 2$ との比 $p \times 1 / p \times 2 = 7 / 24$ である場合には画面の横方向に $7 / 24$ の比率で画像サイズを縮小しなければ画素数変換を正確に行うことができないが、図18BやCの比率の中に $7 / 24$ が存在しないので、 $7 / 24$ の比率で画像サイズの縮小を指示することはできない。

【0030】また、AMDPのメモリコントローラ部で指示可能な画像サイズの拡大の比率は、図18BやCの比率の逆数であり、それらの比率以外の比率で画像サイズの拡大を指示することもできない。例えばモニターの

画面横方向の画素数 $p \times 1$ と入力映像信号の画面横方向の解像度 $p \times 2$ との比 $p \times 1 / p \times 2 = 24 / 7$ である場合には $24 / 7$ の比率で画像サイズを拡大しなければ画素数変換を正確に行うことができないが、図18BやCの比率の逆数の中に $24 / 7$ が存在しないので、 $24 / 7$ の比率で画像サイズの拡大を指示することはできない。

【0031】このように、メモリコントローラ等を搭載したDSPを利用した従来のコンピュータモニター用の画素数変換装置では、このメモリコントローラで指示することのできる画像サイズの変更の比率のバリエーションが少ないので、モニターの画素数に合う解像度と入力映像信号の解像度との比率と正確に一致させて画像サイズを縮小または拡大することができないことが多く、その結果、画素数変換を正確に行うことができないことが多かった。

【0032】また、以上ではコンピュータモニター用の画素数変換装置について説明したが、近年、テレビジョンには標準画面の中に子画面を挿入して表示する機能（ピクチャーインピクチャー）や多数の子画面を並べて表示する機能（ピクチャーアンドピクチャー）を行えるものが登場しており、こうした表示を行うためにも画素数変換装置が用いられている。そして、メモリコントローラ等を搭載したDSPをこのテレビジョン用の画素数変換装置に利用した場合には、このメモリコントローラで指示することのできる画像サイズの変更の比率のバリエーションが少ないので、視聴者が子画面の大きさを選択できる自由度が少ないという不都合があった。

【0033】本発明は、上述の点に鑑み、メモリコントローラ等を搭載したDSPを利用した画素数変換装置において、DSPに搭載されたメモリコントローラでは指示することのできない比率でも正確に画像サイズを縮小または拡大できるようにすることを課題としてなされたものである。

【0034】

【課題を解決するための手段】この課題を解決するために、本出願人は、メモリを用いて画像データの間引き及び／または補間を行うことにより画像サイズを変更する演算手段と、所定の複数通りの比率での画像サイズの変更をこれらの演算手段及びメモリに指示可能な指示手段と、外部から入力された画像データについて、この所定の複数通りの比率のうちのいずれかの第1の比率での画像サイズの変更をこの指示手段に指示させて、その第1の比率での画像サイズの変更をこの演算手段に行わせ、その第1の比率で画像サイズを変更された画像データについて、この所定の複数通りの比率のうちのいずれかの第2の比率での画像サイズの変更をこの指示手段に指示させて、その第2の比率での画像サイズの変更をこの演算手段に行わせる制御手段とを備えた画像補間処理装置を提案する。

【0035】この画像補間処理装置では、外部から画像データが入力されると、制御手段の制御のもとで、まず、所定の複数通りの比率のうちのいずれかの第1の比率での画像サイズの変更が指示手段により指示され、この指示に基づいて演算手段でメモリを用いて画像データの間引き及び／または補間されることにより、その第1の比率で画像サイズが変更される。

【0036】そして、その第1の比率で画像サイズを変更された画像データについて、制御手段の制御のもとで、所定の複数通りの比率のうちのいずれかの第2の比率（第1の比率と異なってもよいし、第1の比率と同じであってもよい）での画像サイズの変更が指示手段により指示され、この指示に基づいて演算手段でメモリを用いて画像データの間引き及び／または補間されることにより、その第2の比率で画像サイズが変更される。

【0037】これにより、外部から入力された画像データについて、第1の比率と第2の比率とを乗算した比率で画像サイズが変更（縮小または拡大）されることになる。

【0038】このように、この画像補間処理装置では、指示手段で指示可能な比率同士を乗算した比率で画像サイズが変更されるので、指示手段で指示可能な比率のバリエーションよりも、変更可能な画像サイズの比率のバリエーションがはるかに増大する（指示手段で指示可能な比率のバリエーションにもよるが、このバリエーションの2乗近くになる）。その結果、指示手段では指示することのできない比率でも正確に画像サイズを縮小または拡大できることが多くなる。

【0039】したがって、例えばメモリコントローラ等を搭載したDSPにこの画像補間処理装置を適用してコンピュータモニター用の画素数変換装置を構成すれば、DSPに搭載されたメモリコントローラによっては指示することのできない比率で画像サイズを変更すべき解像度の映像信号が入力された場合にも、画素数変換を正確に行えることが従来よりもはるかに多くなる。

【0040】また、例えばメモリコントローラ等を搭載したDSPにこの画像補間処理装置を適用してテレビジョン用の画素数変換装置を構成すれば、ピクチャーインピクチャーやピクチャーアンドピクチャーにおける子画面の大きさの選択の自由度が従来よりもはるかに多くなる。

【0041】なお、この画像補間処理装置において、指示手段で指示可能な比率同士を乗算した比率のうちの任意の比率を選択する操作を行うための操作手段をさらに備え、制御手段に、第1の比率及び第2の比率として、第1の比率と第2の比率とを乗算した比率がこの操作手段で選択された比率と一致するような比率をそれぞれ用いさせることが好適である。

【0042】それにより、例えばメモリコントローラ等を搭載したDSPにこの画像補間処理装置を適用してテ

10

20

30

40

50

レビジョン用の画素数変換装置を構成した場合に、視聴者が選択した通りの大きさの子画面がピクチャーインピクチャーやピクチャーアンドピクチャーにおいて正確に表示されるようになる。

【0043】あるいはまた、この画像補間処理装置において、任意の比率を選択する操作を行うための操作手段をさらに備え、制御手段に、第1の比率及び第2の比率として、第1の比率と第2の比率とを乗算した比率と操作手段で選択された比率との差が最小になるような比率をそれぞれ用いさせることも好適である。

【0044】それにより、例えばメモリコントローラ等を搭載したDSPにこの画像補間処理装置を適用してテレビジョン用の画素数変換装置を構成した場合に、視聴者が全く自由に選択した大きさに極力近い大きさの子画面がピクチャーインピクチャーやピクチャーアンドピクチャーにおいて表示されるようになる。

【0045】次に、本出願人は、メモリを用いて画像データの間引き及び／または補間を行うことにより画像サイズを変更する演算手段と、所定の複数通りの比率での画像サイズの変更をこれらの演算手段及びメモリに指示可能な指示手段とを備えた画像補間処理装置における画像補間処理方法において、外部から入力された画像データについて、この所定の複数通りの比率のうちのいずれかの第1の比率での画像サイズの変更をこの指示手段に指示させる第1ステップと、その第1の比率での画像サイズの変更をこの演算手段に行わせる第2ステップと、この第2ステップで画像サイズを変更された画像データについて、この所定の複数通りの比率のうちのいずれかの第2の比率での画像サイズの変更をこの指示手段に指示させる第3ステップと、その第2の比率での画像サイズの変更をこの演算手段に行わせる第4ステップとを含んだ方法を提案する。

【0046】この画像補間処理方法では、外部から画像データが入力されると、まず、所定の複数通りの比率のうちのいずれかの第1の比率での画像サイズの変更を指示手段に指示させ、この指示に基づいて演算手段でメモリを用いて画像データを間引き及び／または補間させることにより、その第1の比率で画像サイズを変更させる。

【0047】そして、その第1の比率で画像サイズを変更された画像データについて、所定の複数通りの比率のうちのいずれかの第2の比率（第1の比率と異なってもよいし、第1の比率と同じであってもよい）での画像サイズの変更を指示手段に指示させ、この指示に基づいて演算手段でメモリを用いて画像データを間引き及び／または補間させることにより、その第2の比率で画像サイズを変更させる。

【0048】これにより、外部から入力された画像データについて、第1の比率と第2の比率とを乗算した比率で画像サイズが変更（縮小または拡大）されることにな

る。

【0049】このように、この画像補間処理方法では、指示手段で指示可能な比率同士を乗算した比率で画像サイズを変更するので、指示手段で指示可能な比率のバリエーションよりも、変更可能な画像サイズの比率のバリエーションがはるかに増大する。その結果、指示手段では指示することのできない比率でも正確に画像サイズを縮小または拡大できることが多くなる。

【0050】したがって、例えばメモリコントローラ等を搭載したDSPにこの画像補間処理方法を適用してコンピュータモニター用の画素数変換装置を構成すれば、DSPに搭載されたメモリコントローラによっては指示することのできない比率で画像サイズを変更すべき解像度の映像信号が入力された場合にも、画素数変換を正確に行えることが従来よりもはるかに多くなる。

【0051】また、例えばメモリコントローラ等を搭載したDSPにこの画像補間処理方法を適用してテレビジョン用の画素数変換装置を構成すれば、ピクチャーインピクチャーやピクチャーアンドピクチャーにおける子画面の大きさの選択の自由度が従来よりもはるかに多くなる。

【0052】なお、この画像補間処理方法においても、指示手段で指示可能な比率同士を乗算した比率のうちの任意の比率を選択する操作を行うための操作手段をこの画像補間処理装置にさらに備え、第1の比率及び第2の比率として、第1の比率と第2の比率とを乗算した比率が操作手段で選択された比率と一致するような比率をそれぞれ用いることが好適である。

【0053】それにより、例えばメモリコントローラ等を搭載したDSPにこの画像補間処理方法を適用してテレビジョン用の画素数変換装置を構成した場合に、視聴者が選択した通りの大きさの子画面がピクチャーインピクチャーやピクチャーアンドピクチャーにおいて正確に表示されるようになる。

【0054】あるいはまた、この画像補間処理方法において、任意の比率を選択する操作を行うための操作手段をこの画像補間処理装置にさらに備え、第1の比率及び第2の比率として、第1の比率と第2の比率とを乗算した比率と操作手段で選択された比率との差が最小になるような比率をそれぞれ用いることも好適である。

【0055】それにより、例えばメモリコントローラ等を搭載したDSPにこの画像補間処理方法を適用してテレビジョン用の画素数変換装置を構成した場合に、視聴者が全く自由に選択した大きさに極力近い大きさの子画面がピクチャーインピクチャーやピクチャーアンドピクチャーにおいて表示されるようになる。

【0056】

【発明の実施の形態】以下では、メモリコントローラを搭載した既製のプログラマブルなDSPに本発明を適用した例について説明する。

【0057】図1は、メモリコントローラを搭載したDSPに本発明を適用して構成したコンピュータモニター用の画素数変換装置の一例を示す。この画素数変換装置は、DSP1と、フレームメモリ2と、A/D変換器3とを含んでいる。

【0058】モニターを接続したコンピュータ（図示略）からこの画素数変換装置に供給されるアナログ映像信号が、A/D変換器3でデジタル変換されて、DSP1に入力される。また、この入力映像信号の解像度の情報と、DSP1から出力すべき映像信号の解像度（モニターの画素数に合う解像度）の情報とが、そのコンピュータのCPUからDSP1に与えられる。

【0059】DSP1は、プログラムに基づいて全体を制御するデコーダ部11と、データメモリ部（ROM及びRAM等）12と、演算部（ALU及びアキュムレータ等）13と、メモリコントローラ部14とを含んでいる。なお、図ではDSP1の入出力部（入出力レジスタ）や内部バスの図示は省略している。

【0060】DSP1に与えられた解像度の情報は、デコーダ部11に送られる。デコーダ部11には、後に図3～図11を用いて説明するような画素数変換のための処理がプログラミングされている。

【0061】メモリコントローラ部14は、図18Aに示したようなコントロール信号をフレームメモリ2及び演算部13に送ることにより図18B及びCに示した比率で画像サイズの縮小を指示可能であるとともに、これらの比率の逆数の比率で画像サイズの拡大を指示可能になっている。

【0062】データメモリ部12には、メモリコントローラ部14で指示可能な比率同士である比率 R_1 、 R_2 （ R_1 と R_2 が同じ比率のこともある）の組み合わせと、その R_1 と R_2 とを乗算した比率 $R(1 \times 2)$ とを対応させたテーブルが記憶されている。比率 R_1 、 R_2 の組み合わせとしては、比率 $R(1 \times 2)$ が同じになる組み合わせ（例えば $R_1 = 3/4$ 、 $R_2 = 1/4$ の組み合わせと $R_1 = 1/4$ 、 $R_2 = 3/4$ の組み合わせ）についてはそのうちの一方のみが採用されている。また、比率 $R(1 \times 2)$ がメモリコントローラ部で指示可能な比率になるような比率 R_1 、 R_2 の組み合わせ（例えば $R_1 = 2/3$ 、 $R_2 = 1/2$ の組み合わせでは $R(1 \times 2) = 1/3$ となってメモリコントローラ部14で指示可能な比率になる）は採用されていない。

【0063】図2は、このテーブルの一部を示す。例えば、 $R_1 = 7/8$ 、 $R_2 = 1/3$ の組み合わせとそれに対応する $R(1 \times 2) = 7/24$ のデータや、 $R_1 = 3$ （図18Cの $1/3$ の逆数）、 $R_2 = 8/7$ （図18Bの $7/8$ の逆数）の組み合わせとそれに対応する $R(1 \times 2) = 24/7$ のデータも、このテーブルに含まれている。

【0064】次に、この画素数変換装置による画素数変

換の様子について説明する。図3は、メモリコントローラ部14で指示可能な比率以外の比率で画像サイズを縮小すべき場合の画素数変換の流れを示すフローチャートである。モニターを接続したコンピュータからA/D変換器3を経てDSP1に映像信号が送られるとともにそのコンピュータのCPUから解像度の情報がDSP1に送られ、その解像度の情報から例えば画像サイズを画面の横方向・縦方向ともに $7/24$ の比率で縮小すべきことをDSP1のデコーダ部11が判断すると、デコーダ部11は、データメモリ部12に記憶されたテーブルから、 $R(1 \times 2) = 7/24$ と対応する比率 R_1 、 R_2 である $R_1 = 7/8$ 、 $R_2 = 1/3$ （図2参照）を読み出す（ステップS1）。

【0065】そしてデコーダ部11は、DSP1に入力されている映像信号のうちの1ライン分の画像データ（ただし別の例として1フィールド分や1フレーム分の画像データであってもよい）を演算部13に入力させる（ステップS2）。

【0066】続いてデコーダ部11は、メモリコントローラ部14を制御して、画面の横方向・縦方向ともに比率 $R_1 = 7/8$ での画像サイズの縮小を指示するコントロール信号をフレームメモリ2及び演算部13に送らせる（ステップS3）。

【0067】続いてデコーダ部11は、演算部13を制御して、この画像データに対して、 $R(1 \times 2) = 7/24$ の比率での画像サイズの縮小後の画像の輪郭を滑らかにするための補間演算処理を行わせる（ステップS4）。

【0068】そしてデコーダ部11は、演算部13を制御して、この画像データに対して、画面の横方向・縦方向ともに $1/8$ のドット数の割合で間引くことにより画面の横方向・縦方向ともに比率 $R_1 = 7/8$ だけ画像サイズを縮小するための処理をフレームメモリ2を用いて行わせる（ステップS5）。

【0069】ステップS5の処理が終わると、次にデコーダ部11は、メモリコントローラ部14を制御して、画面の横方向・縦方向ともに比率 $R_2 = 1/3$ での画像サイズの縮小を指示するコントロール信号をフレームメモリ2及び演算部13に送らせる（ステップS6）。

【0070】そしてデコーダ部11は、演算部13を制御して、この画像データに対して、画面の横方向・縦方向ともに $2/3$ のドット数の割合で間引くことにより比率 $R_2 = 1/3$ だけ画像サイズを縮小するための処理をフレームメモリ2を用いて行わせる（ステップS7）。

【0071】これにより、ステップS2で演算部13に入力させた画像データに対して、画面の横方向・縦方向ともに比率 $R_1 = 7/8$ と比率 $R_2 = 1/3$ とを乗算した比率 $R(1 \times 2) = 7/24$ で画像サイズを縮小するための処理が行われたことになる。

【0072】ステップS7の処理が終わると、デコーダ

部11は、この画像データをDSP1から出力させてモニターの駆動回路(図示略)に送らせる(ステップS8)。

【0073】続いてデコーダ部11は、DSP1に入力されている映像信号中の全てのラインの画像データについてステップS2～S8の処理を終えたか否かを判断する(ステップS9)。ノーであれば、残りのラインの画像データについても1ライン分ずつステップS2～S8の処理を繰り返す。そして、全てのラインの画像データについてステップS2～S8の処理を終えると、画素数変換を終了する。

【0074】このようにして、DSP1に搭載されたメモリコントローラ部14では指示することはできないがメモリコントローラ部14で指示可能な比率同士を乗算した比率である比率7/24で画像サイズを縮小すべき解像度の映像信号が入力された場合にも、画素数変換が正確に行われる。

【0075】なお、ここでは画面の横方向・縦方向ともに画像サイズを同じ7/24の比率で縮小すべき場合を例にとったが、画面の横方向と縦方向とで互いに異なる比率で画像サイズを縮小すべき場合にも、ステップS1、S3～S7の処理を画面の横方向と縦方向とで互いに独立して行うことにより、画素数変換を正確に行えることはもちろんである。

【0076】また、図3では比率R1だけ画像サイズを縮小するための処理を行った後に比率R2だけ画像サイズを縮小するための処理を行っているが、逆に比率R2だけ画像サイズを縮小するための処理を行った後に比率R1だけ画像サイズを縮小するための処理を行ってもよいことももちろんである。

【0077】図4～図6は、図4Aのように「A」の文字を画面に表示させる映像信号を例にとって、図3のステップS5、S7での処理の様子をそれぞれ示すものである。

【0078】ステップS5では、図4Bのように、画面の横方向・縦方向の画像データが、ともに1/8のドット数の割合で全黒のデータb1(別の例として一定のデータの繰り返し等であってもよい)に置き換えられる。(図4Bでは、図示の都合上、全黒のデータに置き換える画像データのドット間隔を粗くして描いている。後出の図5Aでも同じである。)

【0079】続いて、演算部13からフレームメモリ2にこの画像データが送られ、同図Cのように、この画像データが全黒のデータb1の部分の間引いてフレームメモリ2に書き込まれる。

【0080】そして、フレームメモリ2から画像データ(すなわち画面の横方向・縦方向ともに7/8の比率で画像サイズを縮小した画像データ)が読み出されて演算部13に送られる。このようにして、比率7/8で画像サイズが縮小される。

【0081】他方、ステップS7では、図5Aのように、画面の横方向・縦方向の画像データが、ともに2/3のドット数の割合で全黒のデータb2(やはり別の例として一定のデータの繰り返し等であってもよい)に置き換えられる。図6は、図5Aを部分的に(「A」の文字の右脚の先の部分について)拡大して示したものである。

【0082】続いて、演算部13からフレームメモリ2にこの画像データが送られ、図5Bのように、この画像データが全黒のデータb2の部分の間引いてフレームメモリ2に書き込まれる。

【0083】そして、フレームメモリ2から画像データ(すなわち画面の横方向・縦方向ともに1/3の比率で画像サイズを縮小した画像データ)が読み出されて演算部13に送られる。このようにして、更に比率1/3で画像サイズが縮小される。

【0084】図7は、メモリコントローラ部14で指示可能な比率以外の比率で画像サイズを拡大すべき場合の画素数変換の流れを示すフローチャートである。

【0085】モニターを接続したコンピュータからA/D変換器3を経てDSP1に映像信号が送られるとともにそのコンピュータのCPUから解像度の情報がDSP1に送られ、その解像度の情報から例えば画像サイズを画面の横方向・縦方向ともに24/7の比率で拡大すべきことをDSP1のデコーダ部11が判断すると、デコーダ部11は、データメモリ部12に記憶されたテーブルから、 $R(1 \times 2) = 24/7$ と対応する比率R1、R2である $R1 = 3$ 、 $R2 = 8/7$ (図2参照)を読み出す(ステップS11)。

【0086】そしてデコーダ部11は、DSP1に入力されている映像信号中の1ライン分の画像データ(やはり別の例として1フィールド分や1フレーム分の画像データであってもよい)を演算部13に入力させる(ステップS12)。

【0087】続いてデコーダ部11は、メモリコントローラ部14を制御して、画面の横方向・縦方向ともに比率 $R1 = 3$ での画像サイズの拡大を指示するコントロール信号をフレームメモリ2及び演算部13に送らせる(ステップS13)。

【0088】続いてデコーダ部11は、演算部13を制御して、この画像データに対して、画面の横方向・縦方向ともに比率 $R1 = 3$ で画像サイズを拡大するためのダミーのデータ、すなわち、1ドットの画像データに対して2ドットの割合のダミーのデータ(一例として全黒のデータとするが、別の例として一定のデータの繰り返し等であってもよい)を挿入する処理をフレームメモリ2を用いて行わせる(ステップS14)。

【0089】ステップS14の処理が終わると、次にデコーダ部11は、メモリコントローラ部14を制御して、画面の横方向・縦方向ともに比率 $R2 = 8/7$ での

画像サイズの拡大を指示するコントロール信号をフレームメモリ2及び演算部13に送らせる(ステップS15)。

【0090】続いてデコーダ部11は、演算部13を制御して、この画像データに対して、画面の横方向・縦方向ともに比率 $R2 = 8/7$ で画像サイズを拡大するためのダミーのデータ、すなわち7ドットの画像データに対して1ドットの割合のダミーのデータ(一例として全黒のデータとするが、やはり別の例として一定のデータの繰り返し等であってもよい)を挿入する処理をフレーム

メモリ2を用いて行わせる(ステップS16)。
【0091】続いてデコーダ部11は、演算部13を制御して、ステップS14及びS16で挿入したダミーのデータの部分を画像データで補間する補間演算処理を行わせる(ステップS17)。これにより、ステップS12で演算部13に入力させた画像データに対して、画面の横方向・縦方向ともに比率 $R1 = 3$ と比率 $R2 = 8/7$ とを乗算した比率 $R(1 \times 2) = 24/7$ で画像サイズを拡大するための補間演算処理が行われたことになる。

【0092】ステップS17の処理が終わると、デコーダ部11は、この画像データをDSP1から出力させてモニターの駆動回路に送らせる(ステップS18)。

【0093】続いてデコーダ部11は、DSP1に入力されている映像信号中の全てのラインの画像データについてステップS12～S18の処理を終えたか否かを判断する(ステップS19)。ノーであれば、残りのラインの画像データについても1ライン分ずつステップS12～S18の処理を繰り返す。そして、全てのラインの画像データについてステップS12～S18の処理を終

えると、画素数変換を終了する。
【0094】このようにして、DSP1に搭載されたメモリコントローラ部14では指示することはできないがメモリコントローラ部14で指示可能な比率同士を乗算した比率である比率 $24/7$ で画像サイズを拡大すべき解像度の映像信号が入力された場合にも、画素数変換が正確に行われる。

【0095】なお、ここでも画面の横方向・縦方向ともに画像サイズを同じ $24/7$ の比率で拡大すべき場合を例にとったが、画面の横方向と縦方向とで互いに異なる比率で画像サイズを拡大すべき場合にも、ステップS11、S13～S17の処理を画面の横方向と縦方向とで互いに独立して行うことにより、画素数変換を正確に行えることはもちろんである。

【0096】また、図7では比率 $R1$ で画像サイズを拡大するためのダミーのデータを挿入する処理を行った後に比率 $R2$ で画像サイズを拡大するためのダミーのデータを挿入する処理を行っているが、逆に比率 $R2$ で画像サイズを拡大するためのダミーのデータを挿入する処理を行った後に比率 $R1$ で画像サイズを拡大するためのダ

ミーのデータを挿入する処理を行うようにしてもよいことももちろんである。

【0097】図8～図10は、図8Aのように「A」の文字を画面に表示させる映像信号を例にとって、図7のステップS14、ステップS16及びS17での処理の様子をそれぞれ示すものである。

【0098】ステップS14では、演算部13から画像データがそのままフレームメモリ2に送られ、その画像データがフレームメモリ2にそのまま書き込まれる。

【0099】続いて、フレームメモリ2から、図8Bのように、画面の横方向・縦方向ともに1ドットの画像データに対して2ドットの割合でダミーデータb3を挿入した状態で画像データが読み出されて、このダミーデータb3を挿入した画像データが演算部13に送られる。図9は、図8Bを部分的に(「A」の文字の右脚の先の部分について)拡大して示したものである。

【0100】他方、ステップS16では、ステップS14でダミーデータb3を挿入した画像データが演算部13からそのままフレームメモリ2に送られ、その画像データがフレームメモリ2にそのまま書き込まれる。

【0101】続いて、フレームメモリ2から、図10Aのように、画面の横方向・縦方向ともに7ドットの画像データに対して1ドットの割合でダミーデータb4を挿入した状態で画像データが読み出されて、このダミーデータb4を挿入した画像データが演算部13に送られる。(図10Aでは、図示の都合上、図8Bのダミーデータb3を省略して描いている。)

【0102】そして、ステップS17で、演算部13により、このダミーデータb3及びb4の部分を画像データで補間する補間演算処理が行われる。このようにして、同図Bのように、比率 $8/7$ と比率3とを乗算した比率 $24/7$ で画像サイズが拡大される。

【0103】なお、ステップS17での補間演算処理を高い精度で行うためには、ステップS14やS16でのフレームメモリ2による画像データへのダミーのデータの挿入を、ステップS17での演算部13による画像データの補間と同じパターンで行わせることが望ましい。すなわち、例えば図11Aに示すように、演算部13による画像データの補間が1ドット置きのパターンで行われる場合には、フレームメモリ2による画像データへのダミーのデータの挿入も1ドット置きのパターンで行わせることが望ましい。他方、例えば図11Bに示すように、演算部13による画像データの補間が2ドット置きのパターンで行われる場合には、フレームメモリ2による画像データへのダミーのデータの挿入も2ドット置きのパターンで行わせることが望ましい。

【0104】以上に説明したように、この画素数変換装置では、DSP1に搭載されたメモリコントローラ部14では指示することのできない比率であっても、メモリ

率（データメモリ部12内のテーブルに $R(1 \times 2)$ として含まれる比率）で画像サイズを変更すべき解像度の映像信号が入力された場合には、画素数変換が正確に行われる。そして、このメモリコントローラ部14で指示可能な比率同士を乗算した比率のバリエーションは、メモリコントローラ部14で指示可能な比率のバリエーションよりもはるかに多い（メモリコントローラ部14で指示可能な比率のバリエーションの2乗近くになる）。

【0105】したがって、この画素数変換装置では、メモリコントローラ等を搭載したDSPを利用した従来のコンピュータモニター用の画素数変換装置と比較して、画素数変換を正確に行えることがはるかに多くなっている。

【0106】以上の例ではコンピュータモニター用の画素数変換装置に利用するDSPに本発明を適用した例について説明したが、最後に、ピクチャーインピクチャー機能やピクチャーアンドピクチャー機能付きのテレビジョン用の画素数変換装置に利用するDSPに本発明を適用した例について説明する。

【0107】図12は、メモリコントローラを搭載したDSPに本発明を適用して構成したテレビジョン用の画素数変換装置の一例を示すものであり、図1と共通する部分には同一の符号を付している。この画素数変換装置は、DSP1、フレームメモリ2及びA/D変換器3のほかに、比率選択用操作釦4を含んでいる。

【0108】比率選択用操作釦4は、テレビジョンの操作釦の一部を成しており、ピクチャーインピクチャーやピクチャーアンドピクチャーにおける子画面の大きさを決定する比率として、DSP1のデータメモリ部12に記憶された比率 $R(1 \times 2)$ のうちの任意の比率を選択する操作を行うための釦（例えば、データメモリ部12に記憶された比率 $R(1 \times 2)$ が操作パネル上の液晶画面に一覧表示され、その画面表示された比率のうちの任意の比率を選択するようにした釦）である。

【0109】テレビジョンに受信されてその受信回路（図示略）から出力されたアナログ映像信号（例えばNTSC方式の映像信号）が、この画素数変換装置に供給され、A/D変換器3でデジタル変換されて、DSP1に入力される。また、比率選択用操作釦4の操作によって選択された比率 $R(1 \times 2)$ を示す情報が、比率選択用操作釦4からDSP1に与えられる。

【0110】DSP1のデコーダ部11は、データメモリ部12に記憶されたテーブル（図2参照）から、比率選択用操作釦4の操作によって比率 $R(1 \times 2)$ が選択されることに基づき、図3や図7に示した処理によって画素数変換を行う。

【0111】この画素数変換装置では、メモリコントローラ等を搭載したDSPを利用した従来のテレビジョン用の画素数変換装置と比較して、ピクチャーインピクチャーやピクチャーアンドピクチャーにおける子画面の大

きさの選択の自由度がはるかに多くなっている。また、視聴者が選択した通りの大きさの子画面が、ピクチャーインピクチャーやピクチャーアンドピクチャーにおいて正確に表示されるようになっている。

【0112】図13は、メモリコントローラを搭載したDSPに本発明を適用して構成したテレビジョン用の画素数変換装置の別の一例を示すものであり、図1と共通する部分には同一の符号を付している。この画素数変換装置は、DSP1、フレームメモリ2及びA/D変換器3のほかに、比率選択用操作釦5を含んでいる。

【0113】比率選択用操作釦5は、テレビジョンの操作釦の一部を成しており、ピクチャーインピクチャーやピクチャーアンドピクチャーにおける子画面の大きさを決定する比率として任意の比率を選択する操作を行うための釦（例えばテンキースイッチ）である。

【0114】テレビジョンに受信されてその受信回路（図示略）から出力されたアナログ映像信号が、この画素数変換装置に供給され、A/D変換器3でデジタル変換されて、DSP1に入力される。また、比率選択用操作釦5の操作によって選択された比率を示す情報が、比率選択用操作釦5からDSP1に与えられる。

【0115】DSP1のデコーダ部11は、データメモリ部12に記憶されたテーブル（図2参照）から、比率選択用操作釦5の操作によって選択された比率に最も近い比率 $R(1 \times 2)$ と対応する比率 $R1$ 、 $R2$ を読み出して、図3のステップS2以下の処理や図7のステップS2以下の処理によって画素数変換を行う。

【0116】この画素数変換装置では、メモリコントローラ等を搭載したDSPを利用した従来のテレビジョン用の画素数変換装置と比較して、ピクチャーインピクチャーやピクチャーアンドピクチャーにおける子画面の大きさの選択の自由度がはるかに多くなっている。また、視聴者が全く自由に選択した大きさに極力近い大きさの子画面が、ピクチャーインピクチャーやピクチャーアンドピクチャーにおいて表示されるようになっている。

【0117】なお、以上の例では図18B及びCに示した比率で画像サイズの縮小を指示可能であるとともにこれらの比率の逆数の比率で画像サイズの拡大を指示可能なメモリコントローラを搭載したDSPに本発明を適用しているが、それ以外の複数通りの比率で画像サイズの変更を指示可能なメモリコントローラを搭載したDSPにも本発明を適用してよいことはもちろんである。

【0118】また、以上の例ではDSPのメモリコントローラ部で指示可能な比率で2回画像サイズを縮小または拡大している（比率 $R1$ と比率 $R2$ とでそれぞれ画像サイズを縮小または拡大している）が、このメモリコントローラ部で指示可能な比率で3回以上画像サイズを縮小または拡大する（メモリコントローラ部で指示可能な比率 $R1$ 、比率 $R2$ 、比率 $R3$ 、…でそれぞれ画像サイズを縮小または拡大する）ようにしてもよい。それによ

り、変更可能な画像サイズの比率のバリエーションをさらに一層増大させる（メモリコントローラ部で指示可能な比率のバリエーションの3乗近く以上にすること）ができる。

【0119】ただし、このように画像サイズを縮小または拡大する回数を増加させると、その分、DSP・フレームメモリ間での画像データの伝送の回数が増加する。しかし、リアルタイムに画素数変換を行うためには、DSP・フレームメモリ間での画像データの伝送のために許容される時間は限られている。したがって、画像サイズを縮小または拡大する回数は、DSP・フレームメモリ間のメモリバンド幅（DSPとフレームメモリとを結ぶバスの幅とこのバスでのデータの伝送速度とを乗算したもの）と、この伝送のために許容される時間との兼ね合いで決定すべきである。これに対し、画素数変換をリアルタイムに行う必要のない場合には、このような回数を制限する条件は存在しない。

【0120】また、以上の例ではDSPに画素数変換のための処理をプログラミングして画素数変換を行う場合に本発明を適用しているが、コンピュータのCPUに画素数変換のための処理をプログラミングして画素数変換を行う場合にも本発明を適用してよい。

【0121】また、本発明は、以上の例に限らず、本発明の要旨を逸脱することなく、その他様々の構成をとりうることはもちろんである。

【0122】

【発明の効果】以上のように、本発明によれば、指示手段で指示可能な比率同士を乗算した比率で画像サイズが変更されるので、指示手段で指示可能な比率のバリエーションよりも、変更可能な画像サイズの比率のバリエーションがはるかに増大する。その結果、指示手段では指示することのできない比率でも、正確に画像サイズを縮小または拡大できることが多くなるという効果が得られる。

【0123】したがって、例えばメモリコントローラ等を搭載したDSPに本発明を適用してコンピュータモニター用の画素数変換装置を構成すれば、DSPに搭載されたメモリコントローラによっては指示することのできない比率で画像サイズを変更すべき解像度の映像信号が入力された場合にも、画素数変換を正確に行えることが従来よりもはるかに多くなる。

【0124】また、例えばメモリコントローラ等を搭載したDSPに本発明を適用してテレビジョン用の画素数変換装置を構成すれば、ピクチャーインピクチャーやピクチャーアンドピクチャーにおける子画面の大きさの選択の自由度が従来よりもはるかに多くなる。

【0125】また、本発明によれば、メモリコントローラ等を搭載したDSPに適用してテレビジョン用の画素数変換装置を構成した場合に、視聴者が選択した通りの大きさの子画面がピクチャーインピクチャーやピクチャ

ーアンドピクチャーにおいて正確に表示されるという効果も得られる。

【0126】また、本発明に係る画像補間処理装置や画像補間処理方法によれば、メモリコントローラ等を搭載したDSPに適用してテレビジョン用の画素数変換装置を構成した場合に、視聴者が全く自由に選択した大きさに極力近い大きさの子画面がピクチャーインピクチャーやピクチャーアンドピクチャーにおいて表示されるという効果も得られる。

【図面の簡単な説明】

【図1】本発明によるコンピュータモニター用の画素数変換装置の構成例を示す図である。

【図2】図1のデータメモリ部に記憶されたテーブルの一部を示す図である。

【図3】図1の画素数変換装置での画像縮小時の画素数変換の流れを示すフローチャートである。

【図4】図3のステップS5での処理の一例を示す図である。

【図5】図3のステップS7での処理の一例を示す図である。

【図6】図5Aの部分的拡大図である。

【図7】図1の画素数変換装置での画像拡大時の画素数変換の流れを示すフローチャートである。

【図8】図7のステップS14での処理の一例を示す図である。

【図9】図8Bの部分的拡大図である。

【図10】図7のステップS16及びS17での処理の一例を示す図である。

【図11】図7のステップS14やS16でのダミーのデータの挿入パターンを例示する図である。

【図12】本発明によるテレビジョン用の画素数変換装置の構成例を示す図である。

【図13】本発明によるテレビジョン用の画素数変換装置の構成例を示す図である。

【図14】専用のLSIを用いた画素数変換装置の構成例を示す図である。

【図15】図14のLSIによる処理の一例を示す図である。

【図16】図14のLSIによる処理の一例を示す図である。

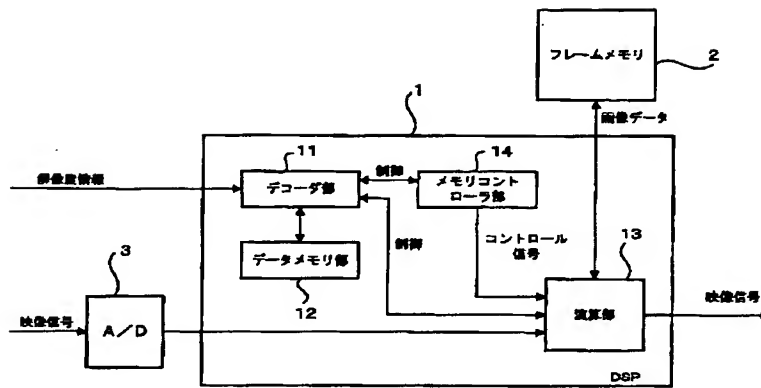
【図17】メモリコントローラを搭載したDSPを利用した画素数変換装置の従来の構成例を示す図である。

【図18】図17のDSPのメモリコントローラ部で指示可能な画像サイズの縮小の比率の一例を示す図である。

【符号の説明】

1 DSP、2 フレームメモリ、3 A/D変換器、4、5 比率選択用操作鈕、11 デコーダ部、12 データメモリ部、13 演算部、14 メモリコントローラ部

【図1】



本発明によるコンピュータモニター用の画素数変換装置の例

【図2】

R1	R2	R(1×2)
15/16	15/16	225/256
15/16	1/16	15/256
7/8	1/3	7/24
16/15	16/15	256/225
16/15	16	256/15
3	8/7	24/7

テーブルの一部

【図4】

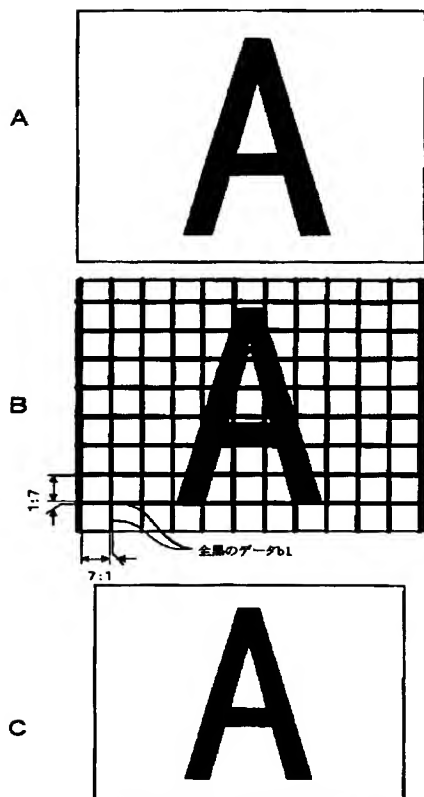


図3のステップS5での処理

【図5】

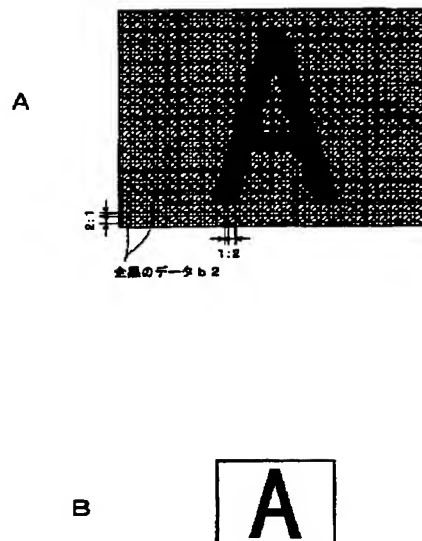


図3のステップS7での処理

【図3】

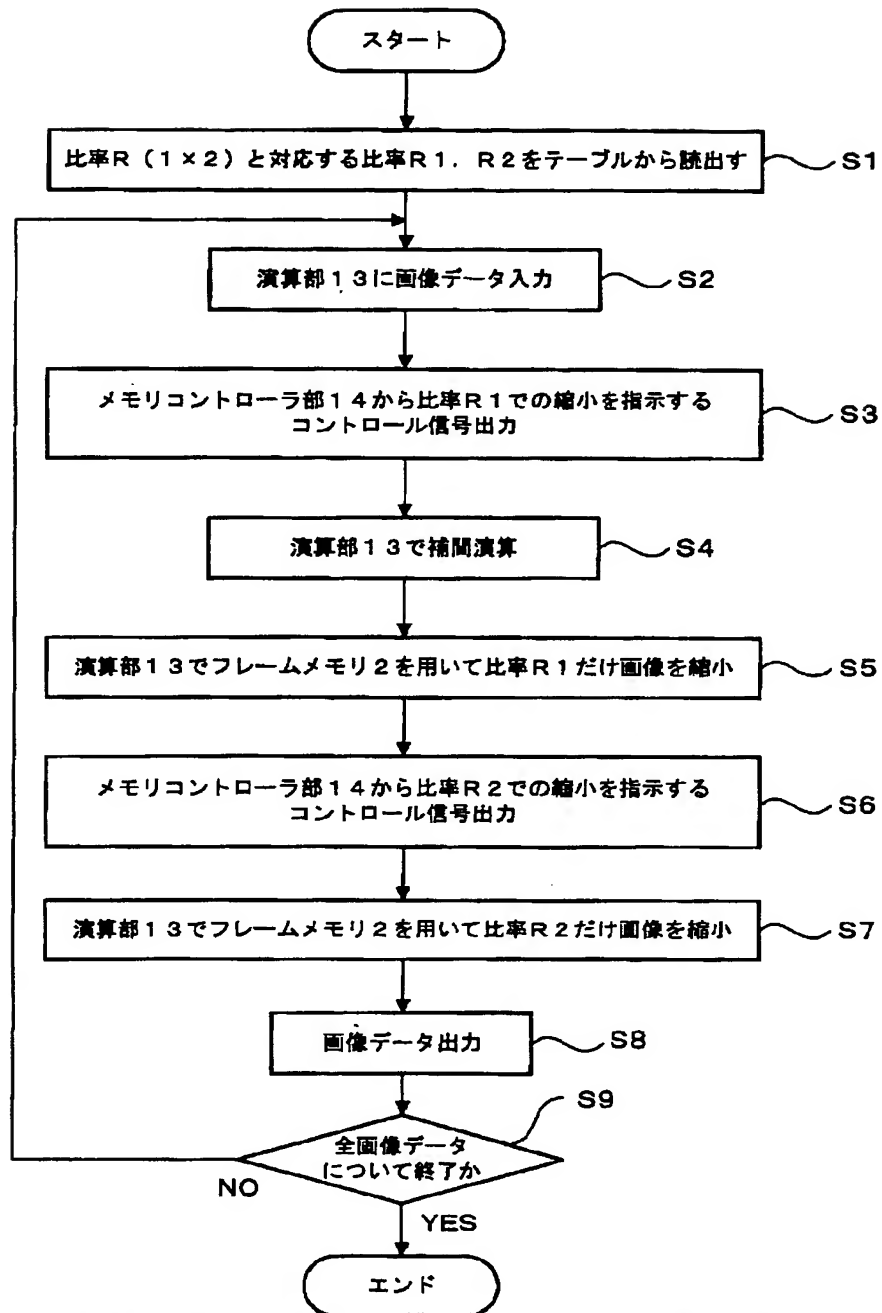


図1の画素数変換装置による画像縮小時の画素数変換の流れ

【図6】

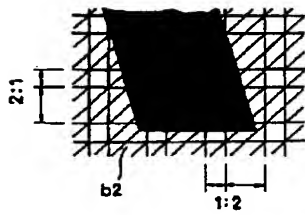


図5Aの部分的拡大図

【図8】



【図9】

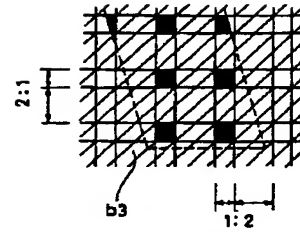


図8Bの部分的拡大図

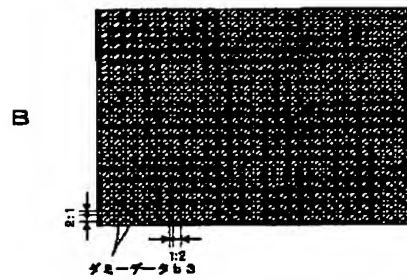
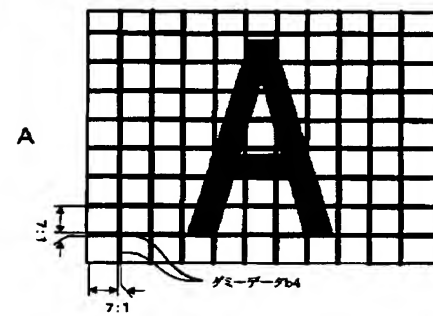
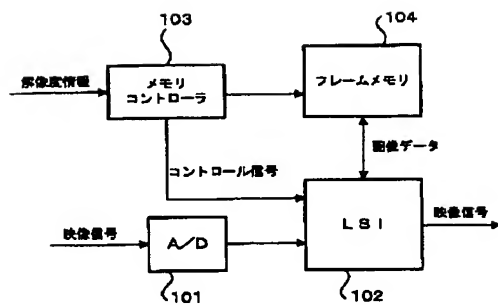


図7のステップS14での処理

【図10】



【図14】



専用LSIを用いた画素数変換装置

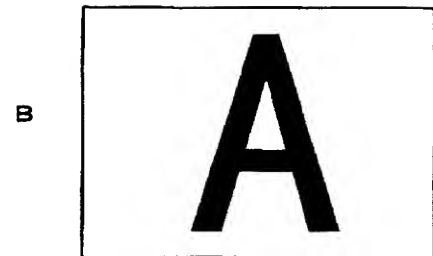


図7のステップS16及びS17での処理

【図7】

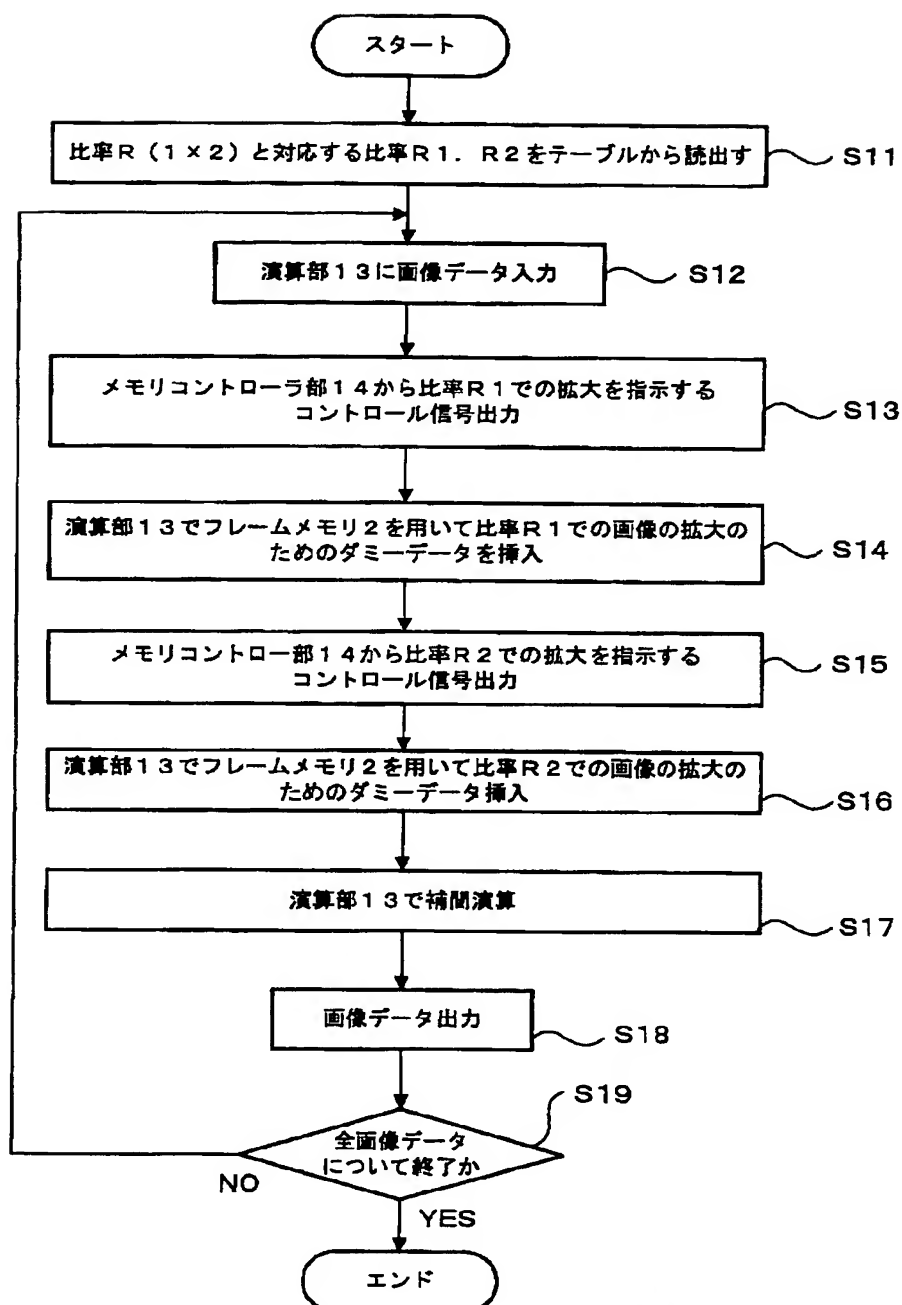


図1の画素数変換装置による画像拡大時の画素数変換の流れ

【図11】

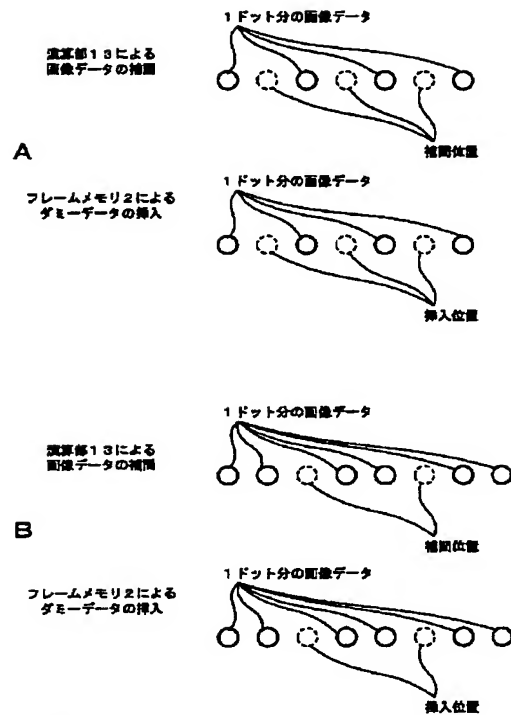
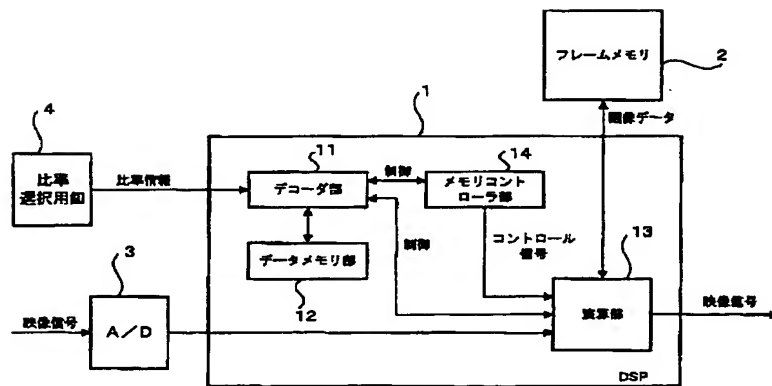


図7のステップS14やS16のダミーデータの挿入パターンの望ましい例

【図12】



本発明によるテレビジョン用の画素数変換装置の例

【図15】

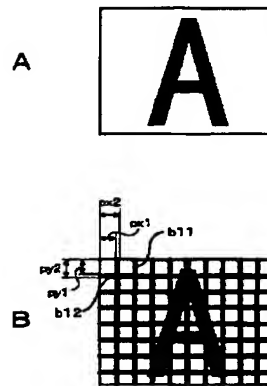


図14のLSIによる画像縮小時の処理

【図16】

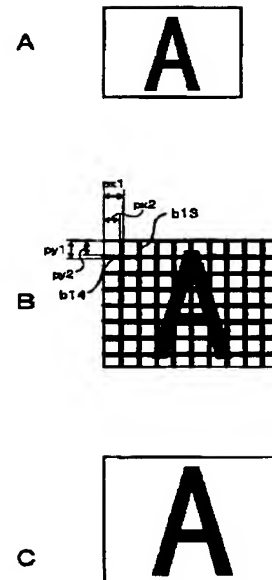
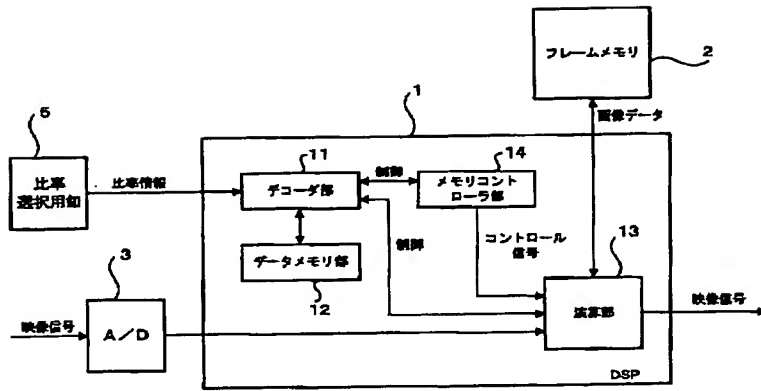


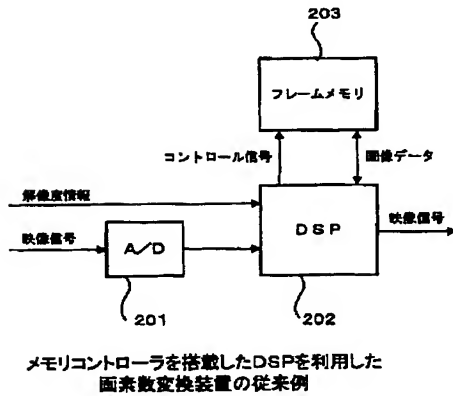
図14のLSIによる画像拡大時の処理

【図13】



本発明によるテレビジョン用の画素数変換装置の例

【図17】



メモリコントローラを搭載したDSPを利用した画素数変換装置の従来例

【図18】

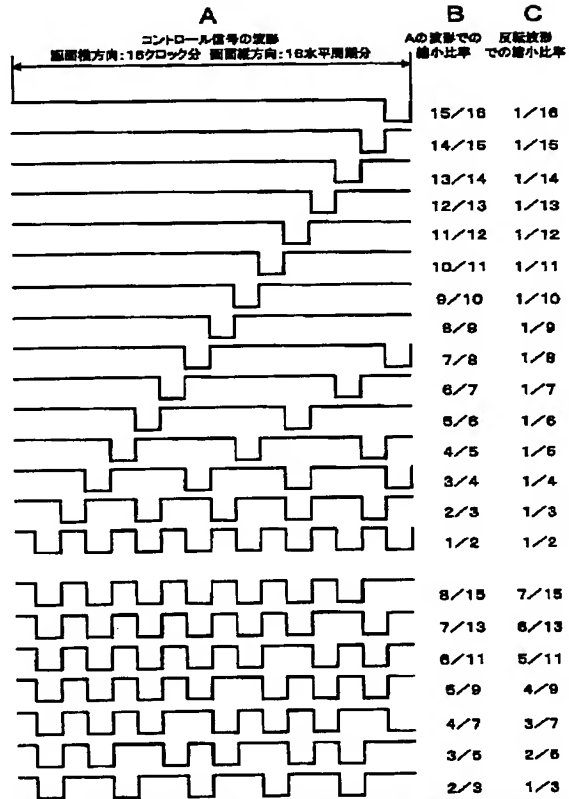


図17のDSPのメモリコントローラ部で指示可能な縮小の比率の例